实验一 全加器的设计与仿真

1. **实验目的**
2. 学习并掌握QUARTUSⅡ 及 CPLD/FPGA实验开发系统的基本操作。
3. 学习在QUARTUSⅡ下设计简单逻辑电路与功能仿真的方法。

3．学习CPLD/FPGA芯片下载与实验基本方法。

4．熟悉CPLD/FPGA实验开发系统的基本结构。

1. **实验仪器设备**
2. PC机一台

2． FPGA实验开发系统一套。

1. **实验要求**
2. 预习教材中的相关内容。
3. 阅读并熟悉本次实验的内容。
4. 用图形输入方式完成电路设计。
5. **实验内容及参考实验步骤**

**（一）原理图输入设计方法**

1. **用基本门电路设计半加器并进行仿真与测试。**

（1）开机，进入QUARTUSⅡ软件系统。

（2）建立工程工作目录。

（3）点击File菜单之New项，出现对话框，为选择输入方式，这儿我们选择Graphic Editor File。出现图形编辑窗口（注意界面发生了一定变化）。

（4）创建半加器原理图并保存文件文件（参考电路如图3-1）。

(5)创建工程。

主芯片为cyclone2系列EP2C20Q240C8N型号。

（6）编译。

（7）时序仿真。

（8）引脚配置。（菜单Assignmens|Assignment Editor）

a,b对应P103、P104管脚，so、co对应P113、P114管脚。

（9）编译生成.pof文件。

（10）下载测试并观察现象。

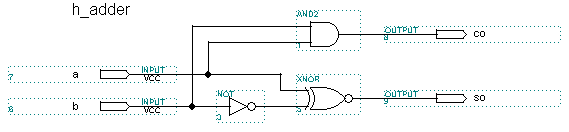
图3-1 半加器h\_adder电路图

表3-1 半加器h\_adder逻辑功能真值表

|  |  |  |  |
| --- | --- | --- | --- |
| a | b | so | co |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

1. **设计一个一位全加器并进行仿真与测试。**

利用层次化设计方法由半加器构成的全加器器的逻辑线路如图2所示。

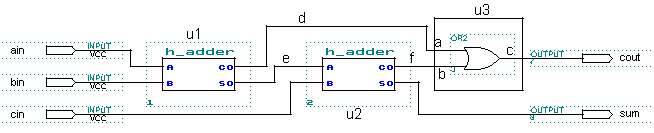


图3-2 全加器f\_adder电路图

（1）创建半加器符号。

（2）调用半加器符号建立全加器电路图。

（3）创建工程并编译。

（4）引脚设置。（菜单Assignmens|Assignment Editor）

ain、bin、cin分别对应P103、P104、P111管脚，sum、cout对应P113、P114管脚。

（5）编译。

（5）下载测试并观察现象。

（6）分析仿真结果。

1. **实验报告**

1．总结用QUARTUSⅡ开发系统对逻辑电路进行设计、仿真的操作步骤。

2．讨论用CPLD/FPGA 开发系统进行逻辑电路设计的特点与优越性。

3．讨论自己在设计过程中遇到的问题、解决的过程以及收获体会。